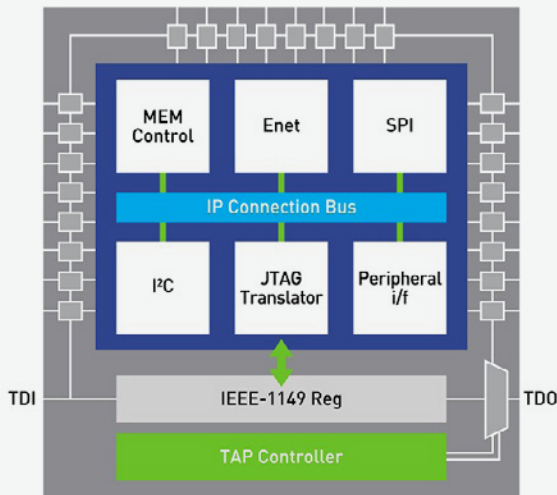


CORECOMMANDER UND JTAG-TRANSLATOR FÜR FPGAS

Direkter Zugang zu Memory- und Peripherie-Controllern des FPGAs für Test, Debug und schneller In-System-Programmierung.



- Direkter Zugang zu Memory- und Peripherie (I/O) Controllern in einem FPGA über seine JTAG-Schnittstelle
- Lese und Schreibzugriffe auf Register und Speicherbereiche ohne Softwareprogrammierung
- At-Speed Ausführung von Lese- und Schreibzyklen
- Test und Debugging der Verbindungen zwischen einem FPGA, Memory- und Peripheriebausteinen (at speed)
- Einfache Programmierung von Flash-Memory

JTAG Translator – das IP[1] Modul von JTAG Technologies ermöglicht den Zugriff auf den internen „IP Connections Bus“ des FPGAs über die JTAG Schnittstelle und erlaubt somit die dort angeschlossenen interne IP Blöcke und deren Peripheriebausteine anzusprechen.

Der JTAG Translator Block wird über das einzigartige CoreCommander Softwaremodul angesprochen und durch die aktuellen Softwarepakete JTAGLive, ProVision sowie den Production Integration Packages (PIP) unterstützt.

CoreCommander bietet High-Level Funktionen, um Daten in Register und Speicherbereiche zu schreiben/lesen ohne der Notwendigkeit der Softwareprogrammierung. CoreCommander-Funktionen werden über die JTAG Schnittstelle angestoßen. Je nach Verwendung kann der JTAG Translator Block temporär zu Testzwecken oder permanent als funktionale Erweiterung im Design implementiert werden.

Mit JTAG Translator können die bestehenden funktionalen IP Blöcke einfach für Test und In-System Programmieraufgaben eingesetzt werden. Beispiele für funktionale IP-Blöcke sind Schnittstellen-Controller für SDR, DDR, Ethernet Mac, USB, UART, I2C, CAN usw. Diese werden u.a. von IP-Lieferanten wie Altera, Xilinx, OpenCores zur Verfügung gestellt.

Applikationen

CoreCommander kommt während der Designphase (Debug & Verify), dem Produktionstest sowie im Service-

We are boundary-scan.®

Order information:

CoreComm FPGA [vendor]
[vendor] = Altera, Xilinx

bereich zum Einsatz. Hier einige Beispiele:

- Prüfen der Verbindungen zwischen FPGA und externen Speicher- bzw I/O Bausteinen durch lesen und schreiben von Daten über die internen IP Blöcke (MEM-Controll, I2C usw.) des FPGAs.
- Terminierung der richtigen Parameter des IP Moduls (DDR Controller, Flash-Memory Controller, I/O Controller ect.) für den verwendeten Peripheriebaustein. Durch schreiben/lesen in die entsprechenden Control Register kann die korrekte Funktionsweise des Bausteines geprüft werden.
- Programmierung von boardspezifischen Daten wie z.B. Kalibrierwerte, MAC-Adresse oder ein Zeitstempel in den Speicher oder die Programmierung des gesamten Flash.

[1] Funktionsblöcke wie Memory-Controller und andere Peripherie-Controller werden oft als Intellectual Property (IP) Blöcke bezeichnet.

Hintergrund

FPGAs beinhalten im Allgemeinen ein Boundary-Scan-Register und ermöglicht somit Test und In-System-Programmierung. Sobald es die Architektur des FPGAs erlaubt kann der Ingenieur die neuen Möglichkeiten durch CoreCommander + Translator nutzen. Mit welchem Zugriff die Anforderung umgesetzt wird hängt stark von Performance oder eigenen Präferenz ab.

CORECOMMANDER UND JTAG-TRANSLATOR FÜR FPGAS

Direkter Zugang zu Memory- und Peripherie-Controllern des FPGAs für Test, Debug und schneller In-System-Programmierung.

Ein FPGA kann zahlreiche Peripherie-Controller oder interne Peripherie enthalten, die über einen internen IP-Verbindungsbus kommunizieren. Externe Peripheriebausteine werden über entsprechende IP-Blöcke angesprochen. Die Kommunikation mit diesen Blöcken erfolgt über Lese- und Schreib-Operationen auf dem Bus. Hier gibt es verschiedene Busse wie Wishbone, Avalon, AMBA, etc. Um diesen Bus via JTAG-Schnittstelle zugänglich zu machen, kann der JTAG Translator IP Block in das Design eingepflegt werden. Somit können durch den Translator Block Daten in die entsprechenden Bereiche geschrieben werden. Die notwendigen Befehle für die Umsetzung werden durch den CoreCommander zur Verfügung gestellt. Das Testen von Speicherverbindungen oder die Programmierung eines Flash Speichers mit CoreCommander ist eine einfache und geradlinige Abfolge von Schreib- und Lese-Befehlen.

Verwendung

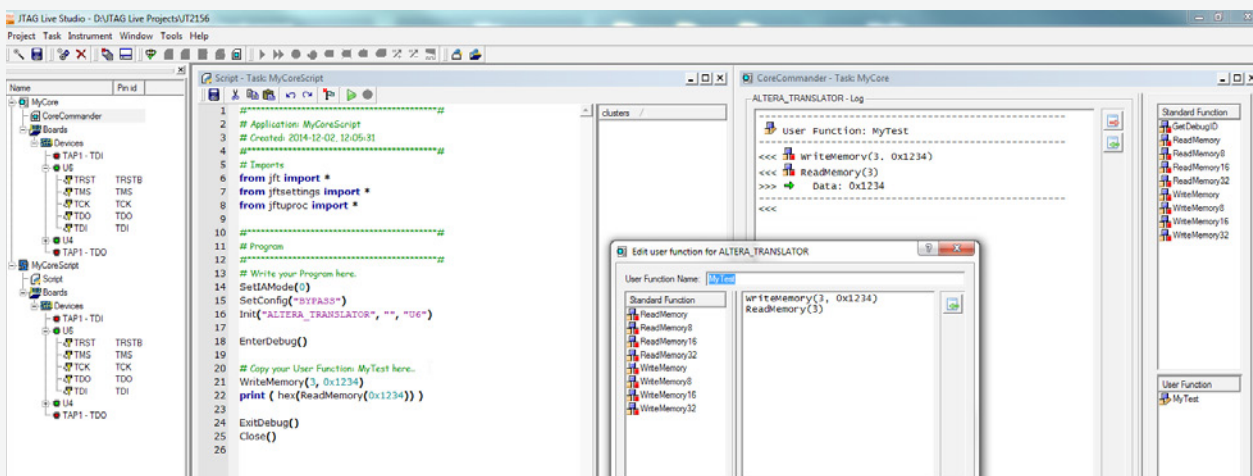
CoreCommander kann über sein High-Level GUI als in-

teraktives Hardware-Debug-Tool verwendet werden. Der zur Verfügung gestellte Befehlssatz ermöglicht das Lesen und Schreiben von Registern und Speicherbereichen. Die Befehle können direkt ausgeführt und die Ergebnisse sofort überprüft werden.

Kundenspezifische Befehlsabfolgen können im interaktiven Fenster erneut wiedergegeben oder in den Python Editor exportiert werden. Die interaktive Nutzung ist vor allem beim Debug in der Designphase aber auch für den Servicemitarbeiter vor Ort geeignet.

Um den automatisierten Ablauf der CoreCommander Sequenz zu ermöglichen können diese direkt in der entsprechenden Programmierumgebung wie Python, LabView, LabWindows, Visual basic, C, C++, .NET und TestStand aufgerufen werden. Dies ist sehr hilfreich zur Erstellung wiederverwendbarer Tests für oft verwendete Bausteine oder Clusterbereiche sowie der In-System Programmierung von Flashbausteinen.

Beispiel



CoreCommander GUI und Python Code

Region or Country	Telephone	E-mail
• Europe or Rest of World	+31 (0)40 295 0870	info@jtag.nl
• United Kingdom & Ireland	+44 (0)1234 831212	sales@jtag.co.uk
• North America	Toll free - 877 FOR JTAG Western US - 949 454 9040	info@jtag.com
• China, Malaysia, Singapore, Thailand, Taiwan	+86 (021) 5831 1577	info@jtag.com.cn
• Germany	+49 (0)971 6991064	germany@jtag.com
• Finland	+358 (0)9 4730 2670	finland@jtag.com
• Sweden	+46 (0)8 754 6200	sweden@jtag.com

1702-CC FPGA-D-1000

© The JTAG Technologies logo and other trademarks designed with the symbol "®" are trademarks of JTAG Technologies registered in Europe and/or other countries. JTAG Technologies reserves the right to change design and specifications without notice.

